

실험 5 Seven Segment Display Decoder

실험 목표

VHDL의 다양한 구문의 구조와 사용법을 숙지하고, 이를 이용하여 Seven Segment Display Decoder를 구현하며 실험을 통해 동작 특성을 이해한다.

실험 부품

FPGA 실험 보드 (EP4CE6)

USB Blaster II

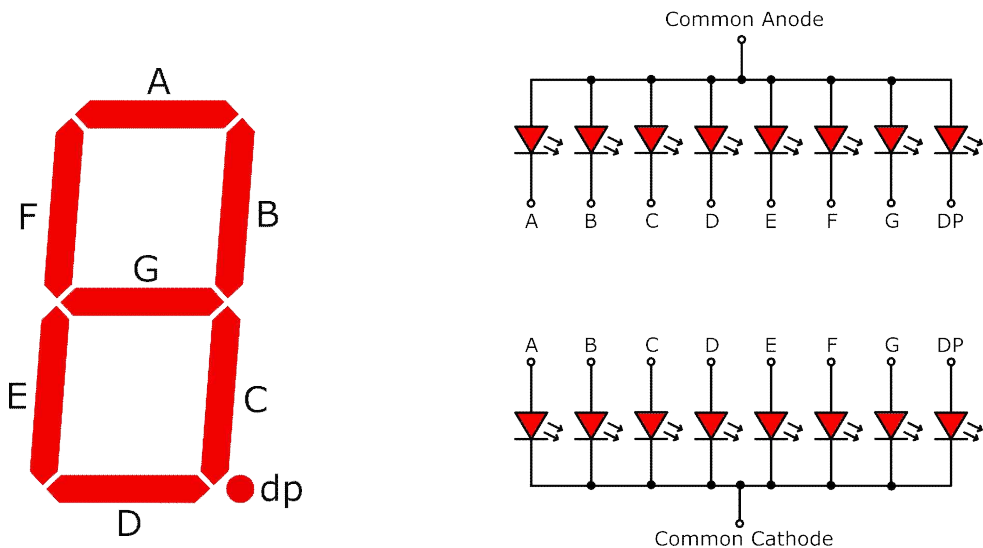
Quartus II

관련 이론

1. Seven Segment Display (SSD)

Seven segment display는 LED와 같은 표시장치의 일종으로 7개의 획과 1개의 점으로 구성되어 있다. 이 7개의 획은 각각 꺼지거나 켜질 수 있으며 이를 통해 아라비아 숫자나 문자를 나타낼 수 있다. 각 획은 맨 위쪽 가로획에서 시작하여 시계방향으로, 그리고 마지막 가운데 가로획까지 각각 a ~ g까지 이름이 붙으며, 소수를 나타내기 위해서 숫자의 오른쪽 아래에 소숫점(DP)이 붙기도 한다.

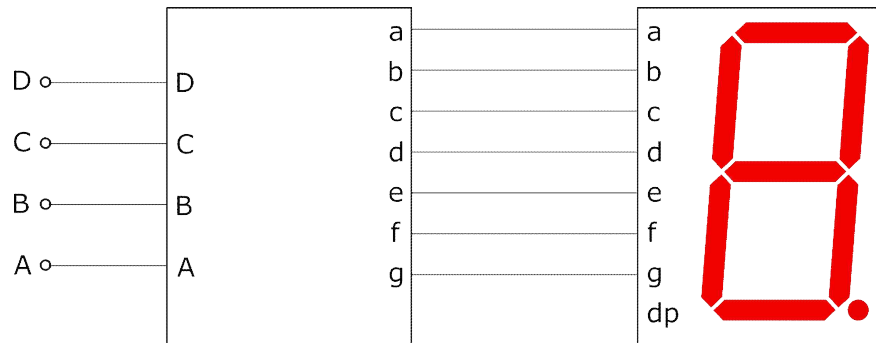
또한, 8개의 LED의 anode를 모두 연결해 놓은 Common Anode (CA)와 8개의 LED의 cathode를 모두 연결해 놓은 Common Cathode (CC)의 두 가지 종류의 SSD가 있으며, 이들은 각기 구동 방식이 다르다.



2. BCD-to-Seven Segment Display Decoder

BCD-to-seven segment display decoder는 4-bit로 구성된 BCD 값을 입력으로 받아들여 seven segment display에 사용되는 a~g 신호를 출력으로 내보내는 조합회로이다.

이러한 기능을 수행하는 상용화된 IC 소자들도 있다.



BCD 입력 D C B A	출력 (표시)
0 0 0 0	0
0 0 0 1	1
0 0 1 0	2
0 0 1 1	3
0 1 0 0	4
0 1 0 1	5
0 1 1 0	6
0 1 1 1	7
1 0 0 0	8
1 0 0 1	9

실험 순서

BCD-to-Seven Segment Display Decoder 구현

- 1) 다음과 같은 조건을 만족하는 BCD-to-SSD decoder의 진리치표를 완성하십시오.
 - (a) 이 decoder는 한 비트의 Enable 입력(En)과 D3, D2, D1, D0의 4-비트로 구성된 BCD 입력을 갖는다. 단, D3가 MSB이고 D0가 LSB이다.
 - (b) Enable 입력신호의 논리값이 '0'이면 BCD 입력에 무관하게 SSD의 모든 세그먼트는 꺼진다.
 - (c) Enable 입력신호의 논리값이 '1'이면 BCD 입력값에 해당하는 숫자가 SSD에 표시된다. 단, BCD 입력값이 10진수 10~15에 해당하면 모든 세그먼트는 꺼진다.
 - (d) SSD는 common cathode 형태이다.

Inputs					Outputs						
En	D3	D2	D1	D0	a	b	c	d	e	f	g
0	X	X	X	X							
1	0	0	0	0							
1	0	0	0	1							
1	0	0	1	0							
1	0	0	1	1							
1	0	1	0	0							
1	0	1	0	1							
1	0	1	1	0							
1	0	1	1	1							
1	1	0	0	0							
1	1	0	0	1							
1	1	0	1	0							
1	1	0	1	1							
1	1	1	0	0							
1	1	1	0	1							
1	1	1	1	0							
1	1	1	1	1							

- 2) 위 진리치표로부터 a~g의 7개의 출력에 대한 각각의 출력식을 간략화하여 sum-of-products 형태로 나타낸 후, logisim을 통해 simulation 하시오.

3) Quartus II / VHDL을 사용하여 위의 SSD decoder를 구현 및 simulation 한 후, 이상이 없으면 다음 페이지의 회로도와 같이 입출력 신호에 해당하는 핀을 할당한 후 FPGA를 프로그램하여 그 기능을 확인하시오.

a) Concurrent signal assignment statements만을 사용하여 작성

(힌트) minterm을 signal로 만들어서 사용

b) Conditional signal assignment statements만을 사용하여 작성

5개의 입력을 std_logic_vector로 만들고, 7개의 출력을 std_logic_vector로 만들어서 사용

c) Selected signal assignment statements만을 사용하여 작성

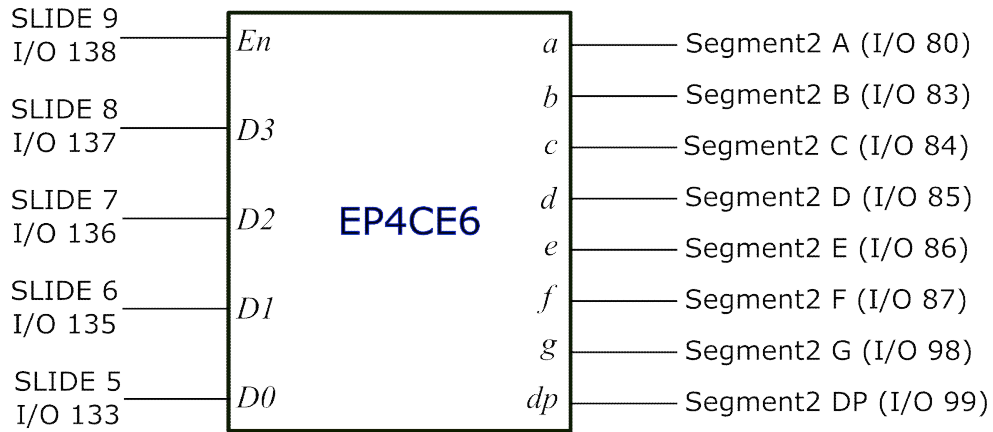
5개의 입력을 std_logic_vector로 만들고, 7개의 출력을 std_logic_vector로 만들어서 사용

d) Process statement만을 사용하여 작성

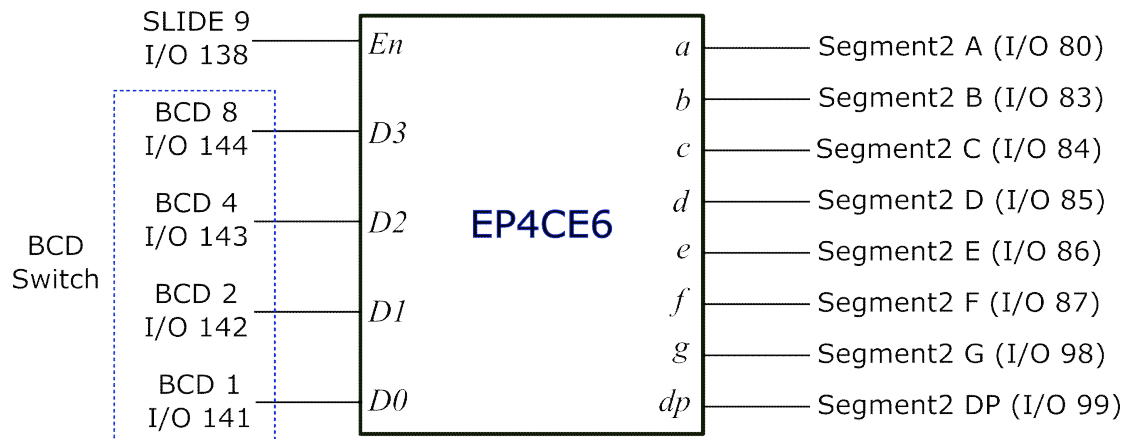
5개의 입력을 std_logic_vector로 만들고, 7개의 출력을 std_logic_vector로 만들어서 사용

구현된 기능을 시험하기 위한 구성도

1) Slide switch에 의한 입력



2) BCD switch 의한 입력



(보고서 제출 내용)

1. BCD-to-SSD decoder를 logisim으로 simulation한 결과
2. 다음의 네 가지 구문을 사용한 VHDL codes
 - 1) Concurrent signal assignment statements만을 사용하여 작성한 경우
 - 2) Conditional signal assignment statements만을 사용하여 작성한 경우
 - 3) Selected signal assignment statements만을 사용하여 작성한 경우
 - 4) Process statement만을 사용하여 작성한 경우
3. 위 2의 네 가지 방법에 대한 simulation 결과
4. BCD-to-SSD decoder를 구현하는 위 2의 네 가지 방법을 비교하시오.
5. Common Anode (CA) SSD와 Common Cathode (CC) SSD의 구동 방식에 대해 비교하여 설명하시오.
6. 상용화된 BCD-to-SSD decoder 제품(IC)을 조사하여 제출하시오.