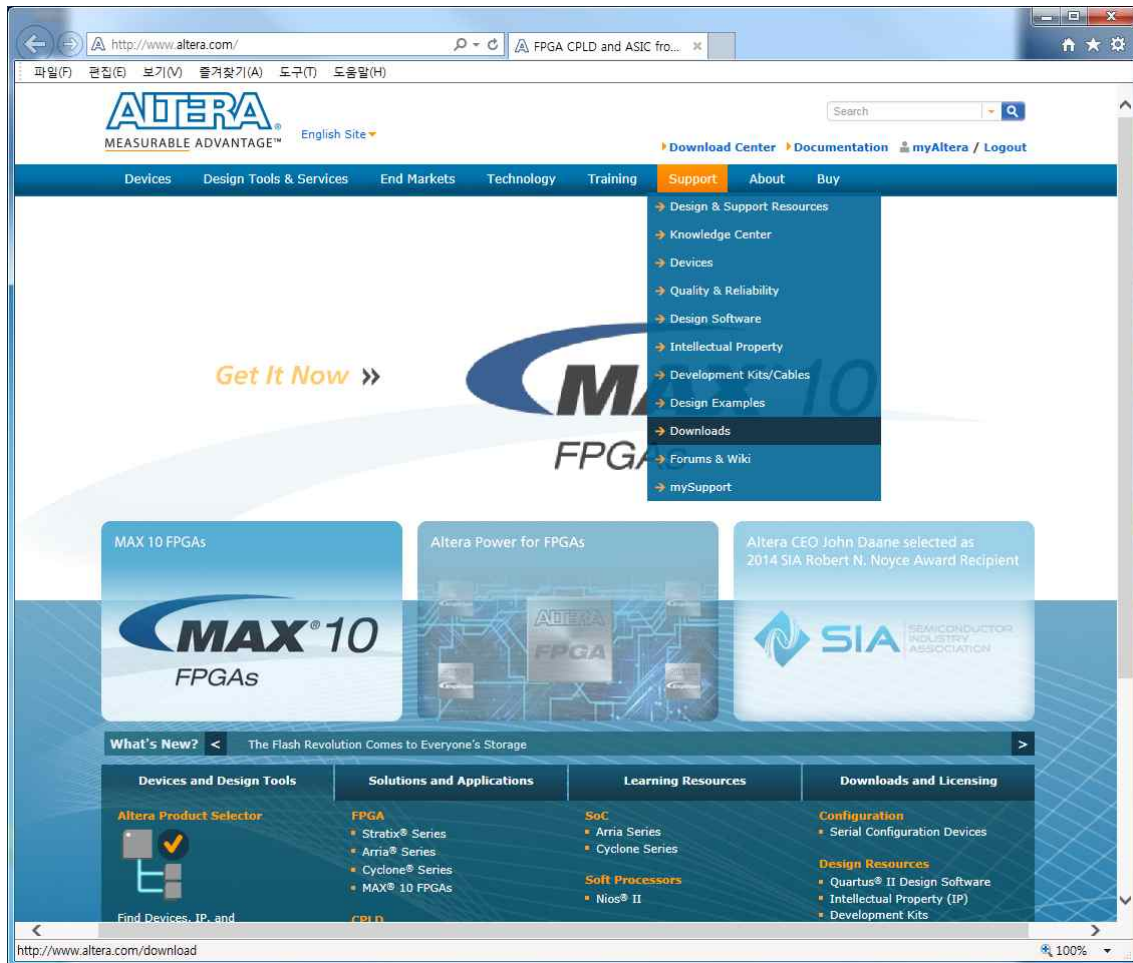


## <Quartus II 설치 및 사용 manual>

### ● 'Quartus II' 다운로드



- 본 실험에서는 'ALTERA社'의 FPGA를 사용한 실험을 하게 된다. 이 소자를 사용하기 위한 Tool 이 필요하며, 여기서는 'ALTERA社'에서 제공하는 'Quartus II'를 사용할 예정이다.

- 'ALTERA社'의 홈페이지인

<https://www.intel.com/content/www/us/en/products/programmable.html>

으로 접속한다. 상단 메뉴 중 'Support' -> 'Browse support' -> 'Download Center'를 클릭하여 download 창으로 접속한다.



- Downloads 페이지에서 기본 설정은 최신 버전으로 되어 있다. 하지만 최신 버전의 경우 이전 세대의 Devices를 지원하지 않는 경우가 있으므로 'Supported Devices'를 참고하여 선택하도록 한다.
- 본 실험에서는 'Cyclone IV' series를 사용할 예정이므로 이 devices를 지원하는 '13.0, Service Pack 1' 버전의 'Web Edition'을 사용한다.

## Quartus II Web Edition

Release date: June, 2013  
Latest Release: v18.1



Select release: 13.0sp1

Operating System  Windows  Linux

Select the operating system on which you will run the Quartus II software.

Download Method  Akamai DLM3 Download Manager  Direct Download

Select whether you will use the download manager (Windows only) or directly download the files.  
The download manager allows you to pause the download and can help you recover from interrupted downloads.

You may be exposed to a vulnerability issue if you have installed or plan to install Quartus Prime/Quartus II software from v11.0 to v18.0 to a location with space(s) in the path. See this [KDB solution](#) for more details.

✓ The Quartus II software version 13.0sp1 supports the following device families: Arria II, Cyclone II, Cyclone III, Cyclone IV (includes all variations), Cyclone V (includes all variations), and MAX II, MAX V, MAX 3000, MAX 7000. [More](#)

Combined Files Individual Files DVD Files

Download and install instructions: [More](#)  
[Read Intel FPGA Software v13.0 Installation FAQ](#)  
[Quick Start Guide](#)

### Select All

- Quartus II Web Edition (Free)**
  - Quartus II Software (includes Nios II EDS)**  
Size: 1.5 GB MD5: 70D2991B55E70EEFBBA30DB38A40BF01
  - ModelSim-Altera Edition (includes Starter Edition)**  
Size: 779.3 MB MD5: 97D829F95E3BDFA2AD15891F00936D10

### Devices

You must install device support for at least one device family to use the Quartus II software.

- Arria II device support**  
Size: 467.3 MB MD5: 18262271D276A9966F42938E1E601AEE
- Cyclone II, Cyclone III, Cyclone IV device support (includes all variations)**  
Size: 568.9 MB MD5: CDAC3B93F0DF21D7371E4395D31D0099
- Cyclone V device support (includes all variations)**  
Size: 747.9 MB MD5: 4664B9BDD482C004C3C8D64FEFC124AB
- MAX II, MAX V, MAX 3000, MAX 7000 device support**  
Size: 6.7 MB MD5: 64ACA8C4F6CD545D449BE3FFD8CBA50

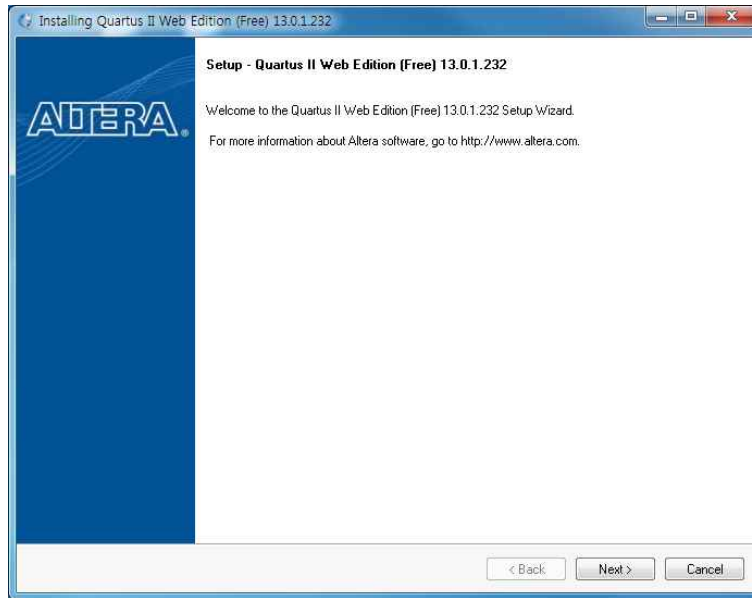
### Additional Software

- Quartus II Programmer and SignalTap II**  
Size: 136.6 MB MD5: F2F4B22D649DF1CB38AC6360474C70CC
- Quartus II Help**  
Size: 355.8 MB MD5: C0FB2D2D2ED936CE18F0080B77985AB6
- SoC Embedded Design Suite (EDS)**  
Size: 1.2 GB MD5: 55B7C552AC4D765A772843D407121A25
- Linux Support Package Binary File**  
Size: 387.0 MB MD5: 9CC7736BE69B51C318CEBC51A4B9553B
- Linux Support Package Source File**  
Size: 818.3 MB MD5: 58788F0DA87F549333E9432BE82681C3

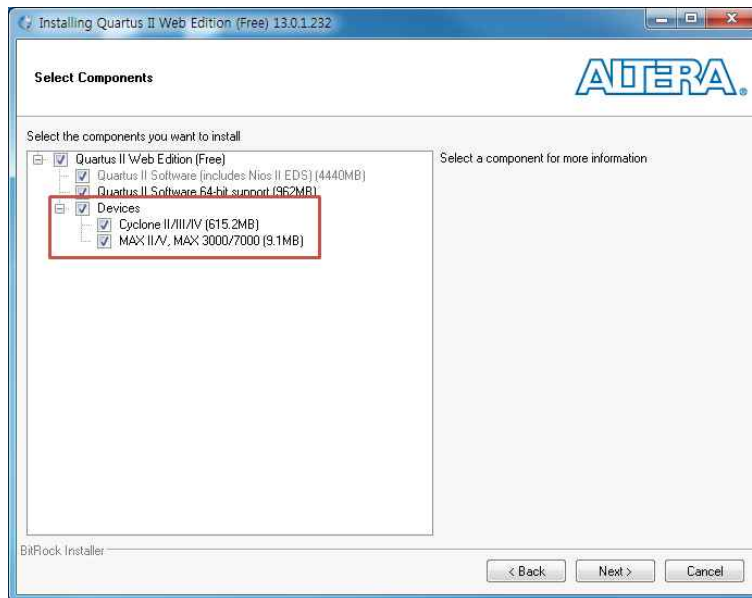
**Download Selected Files** [Troubleshoot download problems](#)

- 위 그림과 같이 필요한 항목을 선택한 후, 'Download Selected Files' 버튼을 클릭하여 필요한 파일들을 내려받는다.

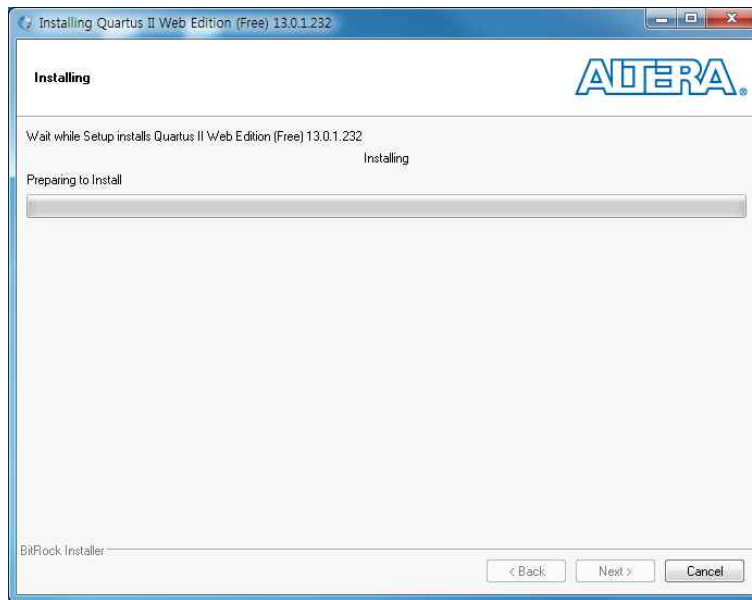
● 'Quartus II' 설치



- 다운로드 받은 파일 가운데 'Quartus II' 설치 파일을 실행한다.



- 동일한 폴더에 파일을 저장하였다면, 설치 과정 중 자동적으로 Devices 정보를 추가한다.

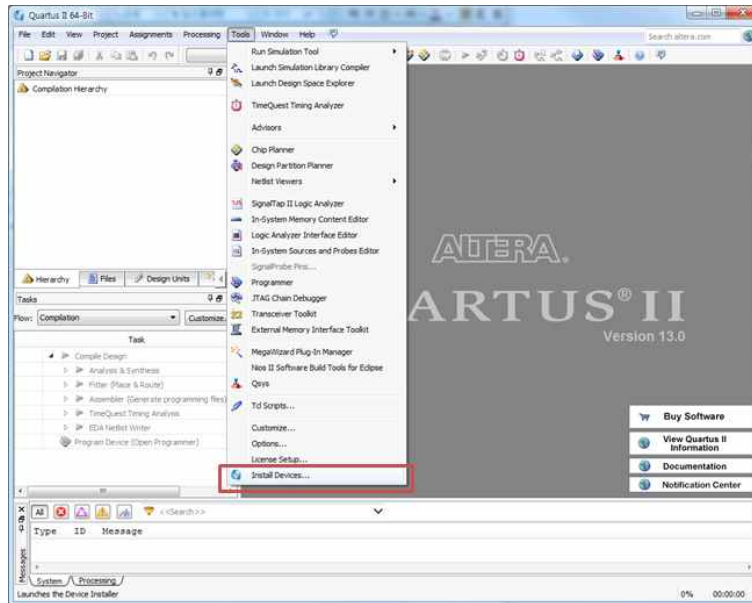


- 이후 설치경로 지정 및 일반적인 프로그램 설치와 동일하게 진행한다.

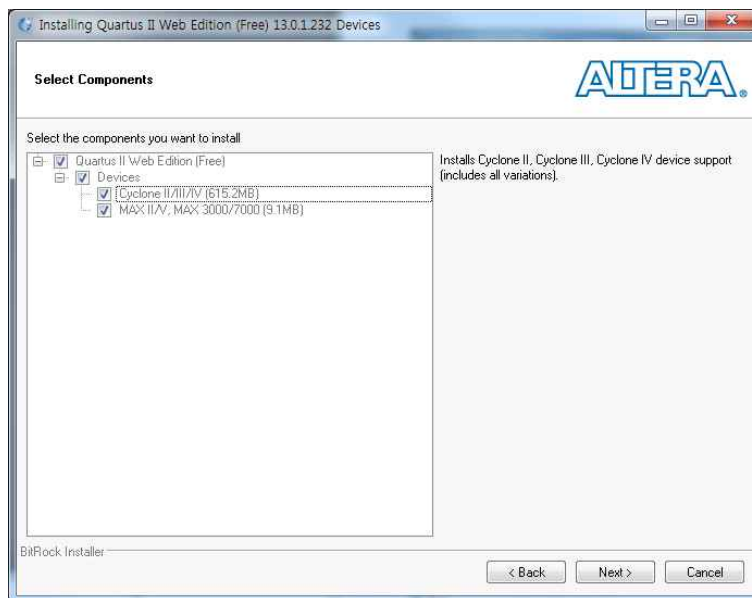


- 설치가 완료된 후 실행하면 다음과 같은 화면이 표시된다.
- 'Run the Quartus II software'를 선택한 뒤 'OK'를 눌러 실행한다.

● 'Devices' 추가



- 'Quartus II'를 설치한 이후에도 Devices 정보를 추가할 수 있다.
- 'Quartus II'를 실행한 후 'Tools -> Install Devices...'를 선택한다.

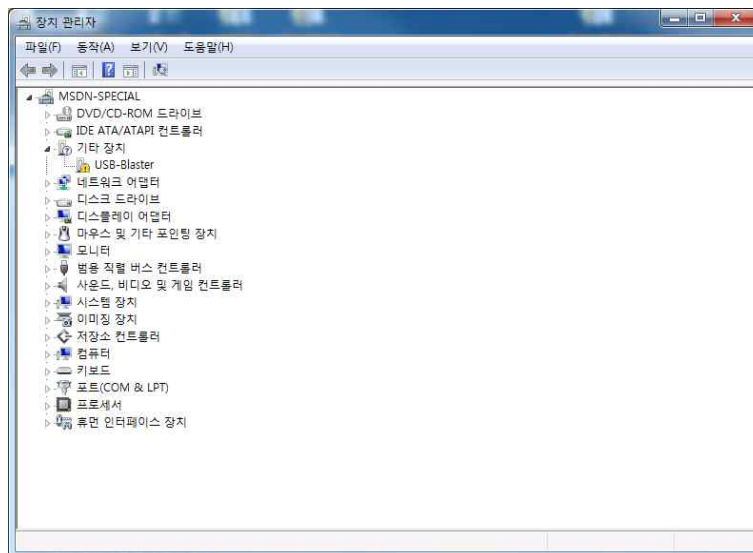


- Devices 파일을 다운받은 경로를 지정하여 주면 위와 같은 화면이 나타난다. 현재 모든 devices가 설치되어 있어 회색으로 표시되지만, 설치 가능한 devices 정보가 있는 경우 체크박스가 활성화 되며, 이후 'Next'를 통해 설치할 수 있다.

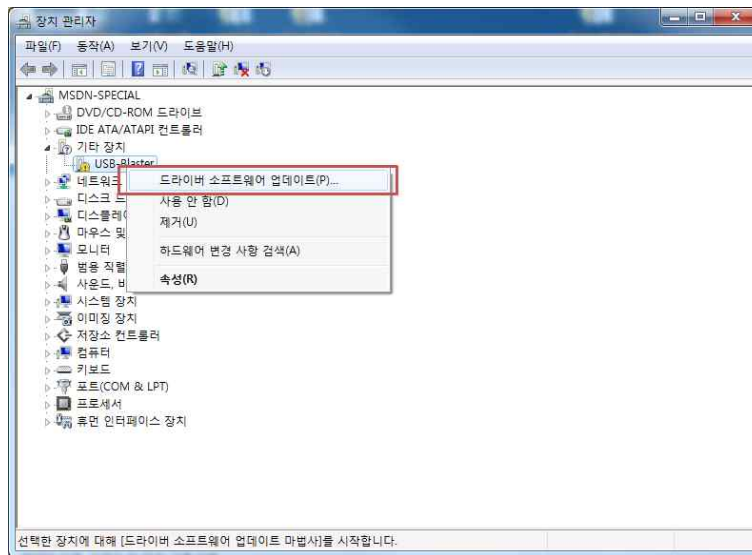
● 'USB Blaster' Driver 설치



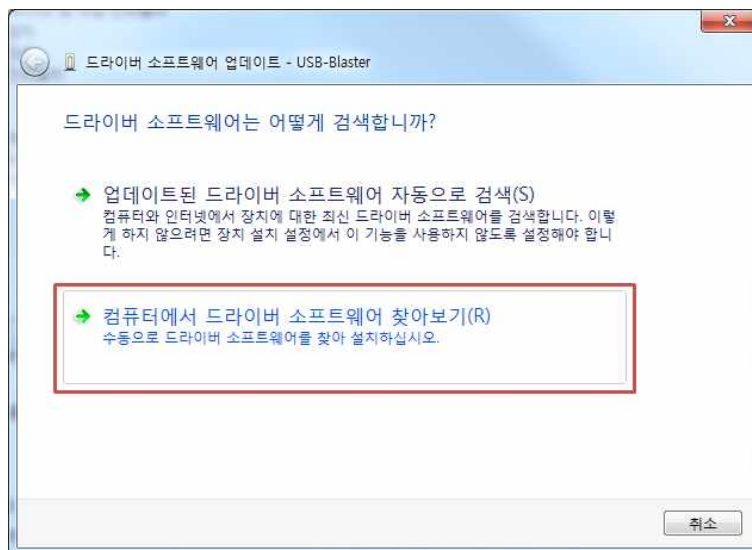
- 본 실험에서는 'USB Blaster'를 사용하여 작성한 프로그램을 CPLD나 FPGA로 다운로드한다. 하지만 'USB Blaster'는 'plug & play'를 지원하지 않으므로 수동으로 드라이버를 설치하여 주어야 한다.



- '내컴퓨터 -> 속성 -> 장치관리자'를 실행하면 다음과 같은 창이 나타난다. 'USB-Blaster'의 드라이버가 정상적으로 설치되지 않아 '기타 장치'로 분류되어 있으며, 경고 표시가 되어 있음을 확인할 수 있다.

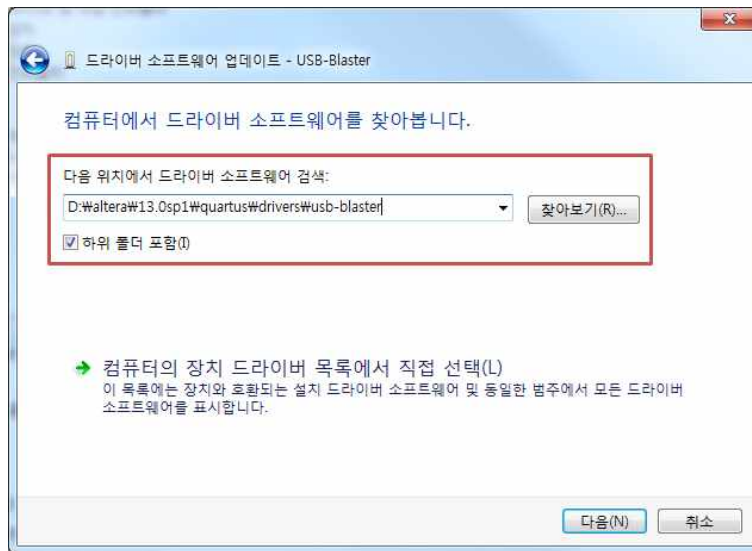


- 'USB-Blastor'를 우클릭하면 다음과 같은 메뉴가 나타나며, 그 중 '드라이버 소프트웨어 업데이트'를 선택한다.

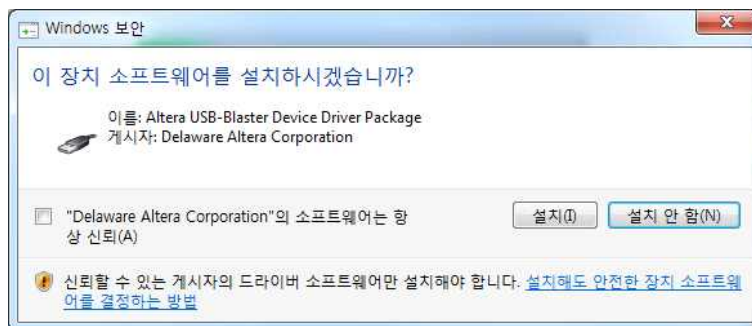


- 드라이버는 수동으로 설치하여야 한다. 메뉴 중 '컴퓨터에서 드라이버 소프트웨어 찾아보기'를 선택하여 수동으로 설치를 진행한다.

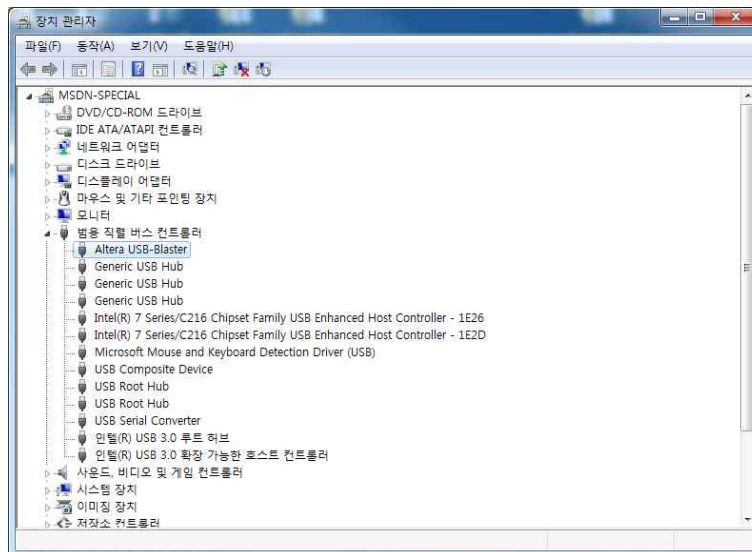
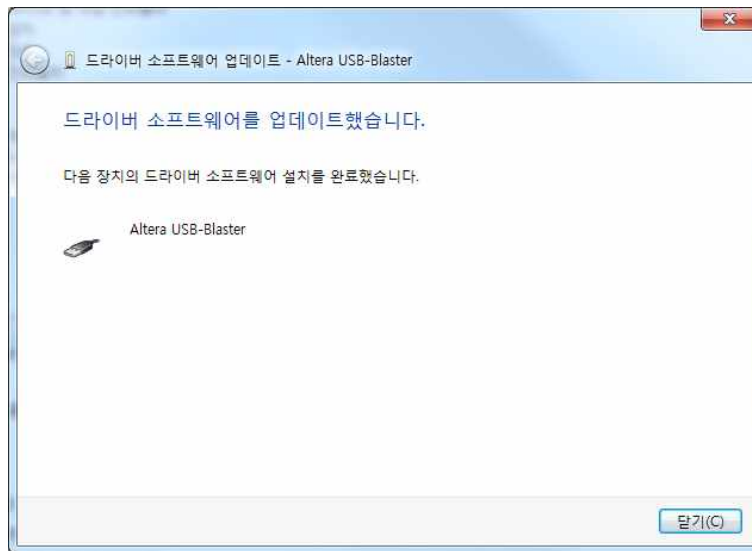




- 'USB-Blaster'의 드라이버는 'Quartus II'에 포함되어 설치한 경로에 저장된다. 지정된 경로를 참고하여 검색 경로를 선택한다.
- 'USB-Blaster V2'의 'USB-Blaster'를 선택한다.

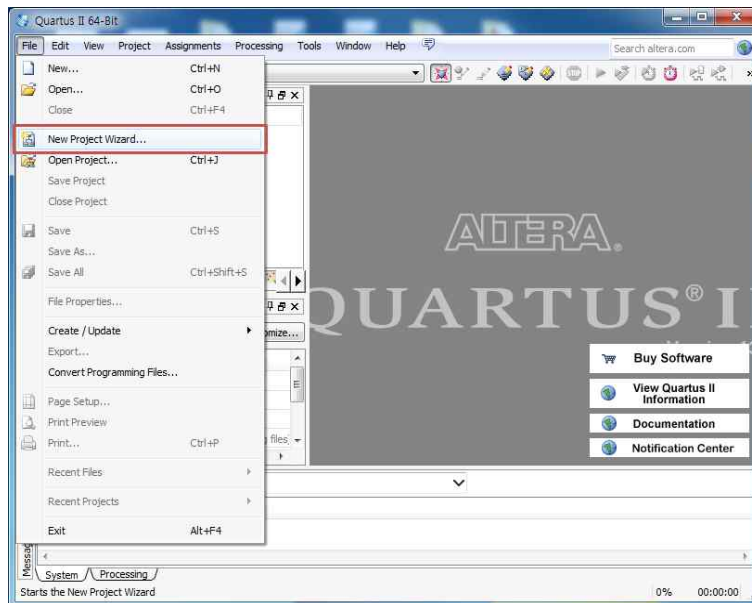


- 경로를 올바르게 지정하였다면, 드라이버의 검색 후 위와 같은 창이 나타난다. '설치'를 눌러 드라이버를 설치한다.

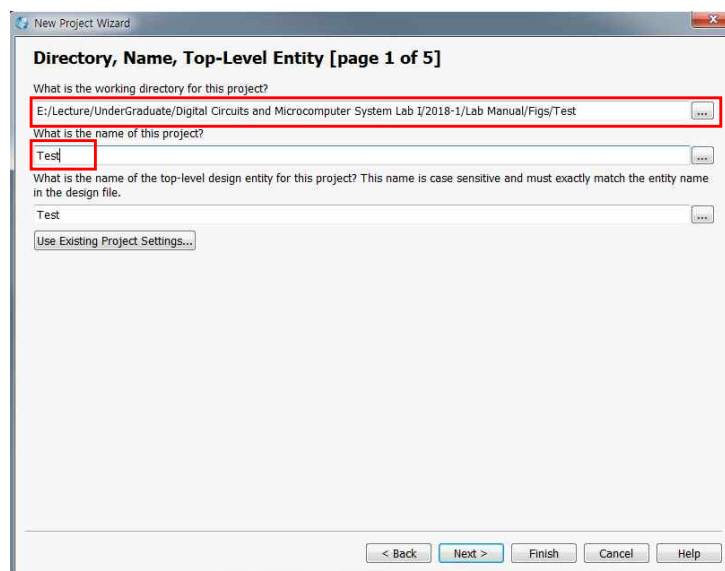


- 정상적으로 드라이버의 설치가 완료되면 위와 같은 창이 나타나며, 'USB-Blaster'가 '기타 장치'에서 '범용 직렬 버스 컨트롤러'로 옮겨진 것을 확인할 수 있다.

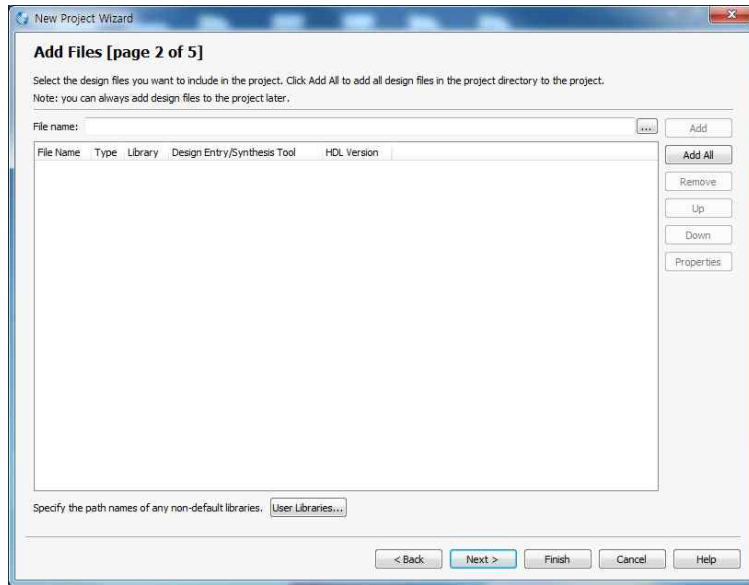
## ●Project 만들기



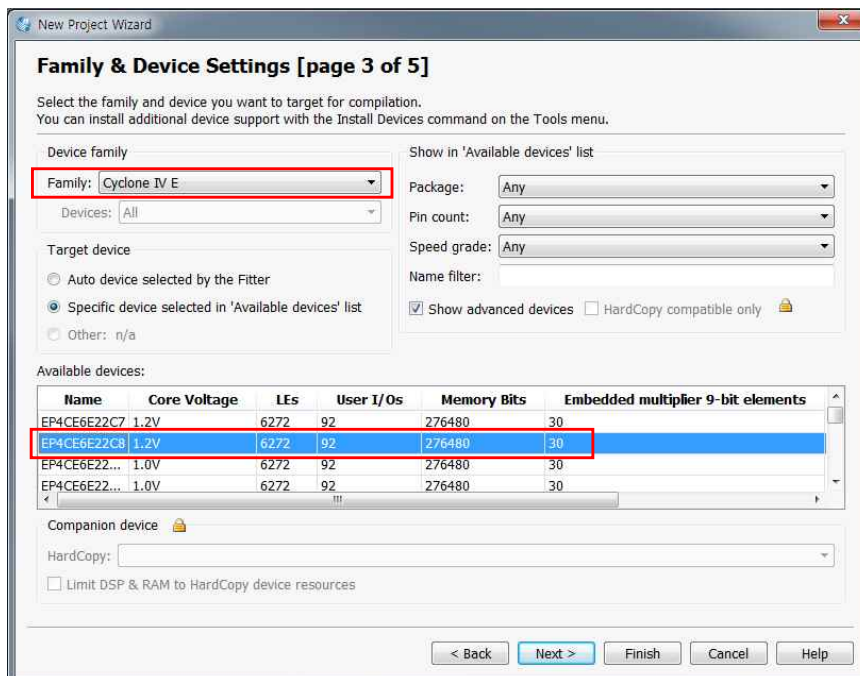
- 'Quartus II'의 프로그램은 project 단위로 실행되기 때문에 먼저 적합한 project를 만들어 주어야 한다. 'File -> New Project Wizard...'를 선택하여 새로운 project를 만든다.
- 'New Project Wizard'를 실행하면 먼저 'Introduction' 창이 나타난다. 'Introduction' 창은 간략히 읽어본 후 넘기면 되며, 이후 5단계에 걸쳐 project를 생성한다.
- Directory는 project가 만들어지는 장소로 원하는 위치로 지정한다. Name은 project의 이름이며 top-level entity는 되도록 이와 동일하게 일치시킨다. 단, 영문자나 숫자만을 사용해야 한다.



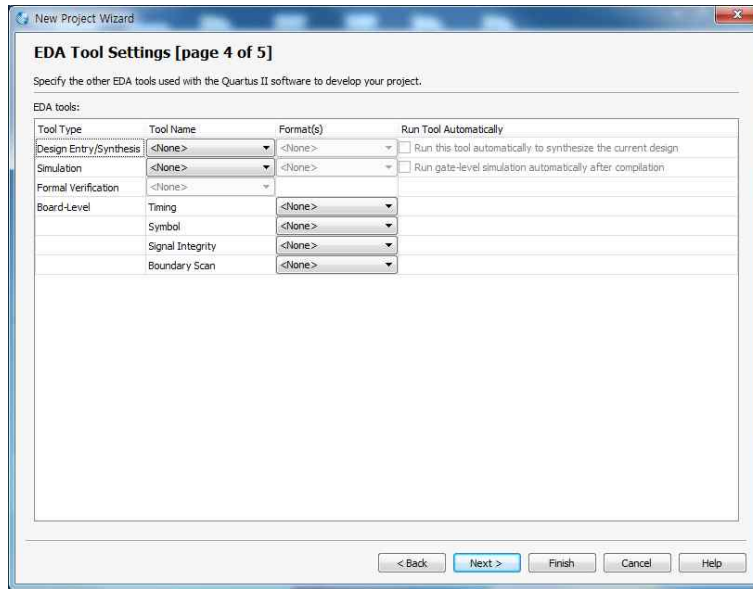
- 다음은 'Add Files'이다. 본 실험에서는 일반적으로 하나의 project에 하나의 design file을 사용하겠지만, 실제로 하나의 project는 다수의 design file을 가질 수 있다. 그 중 기존에 만들어 둔 design file을 사용하는 경우나 libraries를 사용하는 경우 'Add Files'을 통해 먼저 추가할 수 있다.



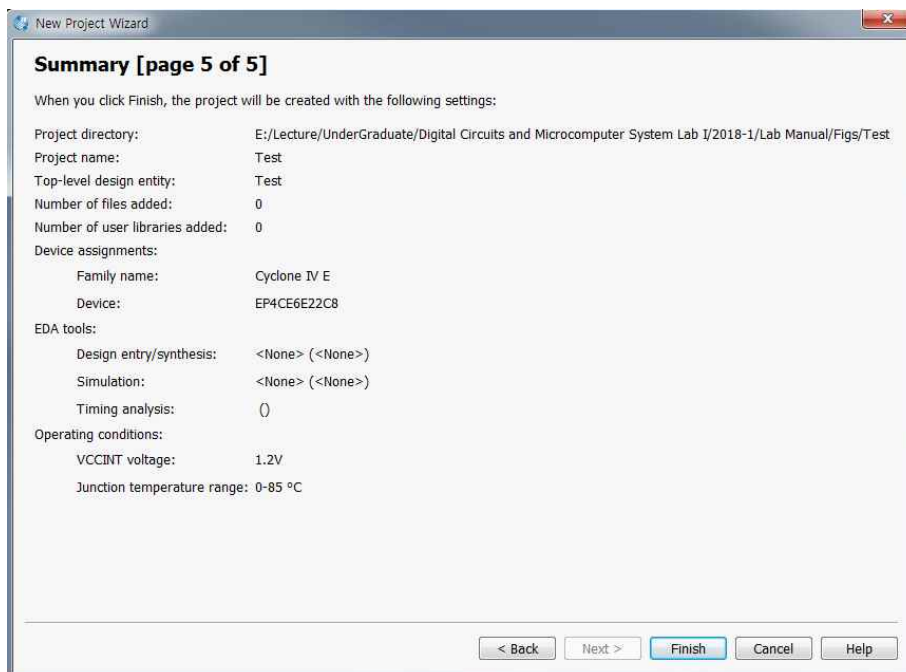
- 다음은 'Family & Device Settings'이다. 사용할 소자에 따라 program 용량이나 사용가능한 gate, macrocell의 수가 다르며, pin의 수 및 위치가 달라 이를 지정해 주어야 한다. 본 manual에서는 'Cyclone IV E' Family의 'EP4CE6E22C8' 소자를 선택하여 진행한다.



- 다음은 'EDA Tool Settings' 이다. 이 메뉴는 별도의 EDA tool과 연동하여 사용하게 될 경우 지정하여 주어야 한다. 하지만 본 실험에서는 사용하지 않을 예정이므로 default 상태로 넘어간다.

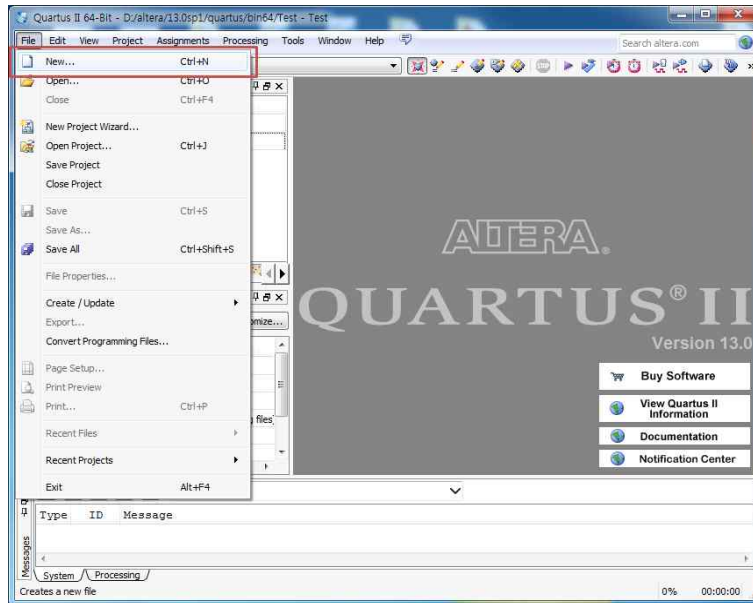


- 마지막은 'Summary'이다. project를 생성하기 전 설정된 것을 점검한 뒤 'Finish'를 하여 새로운 project를 생성한다. 만일 이 단계에서 잘못 입력하였어도 나중에 수정이 가능하므로 크게 걱정할 필요는 없다.

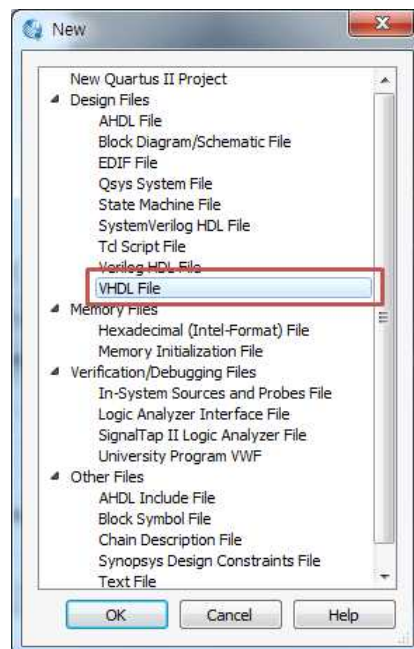


## ● Design File & Compiler

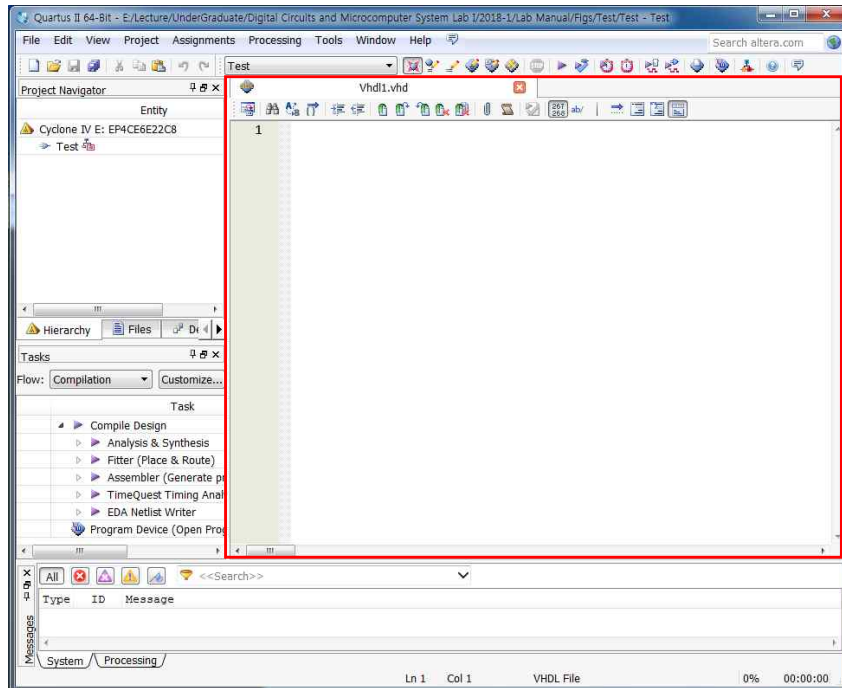
- Project는 설정이나 사용 소자에 대한 정보 등을 포괄하는 것으로 실제 동작을 지정하기 위해 'Design file'을 별도로 만들어 주어야 한다.
- 'Design file'은 단독으로 보관할 수도 있으나 compile하기 위해서는 반드시 project에 포함되어 있어야 한다.



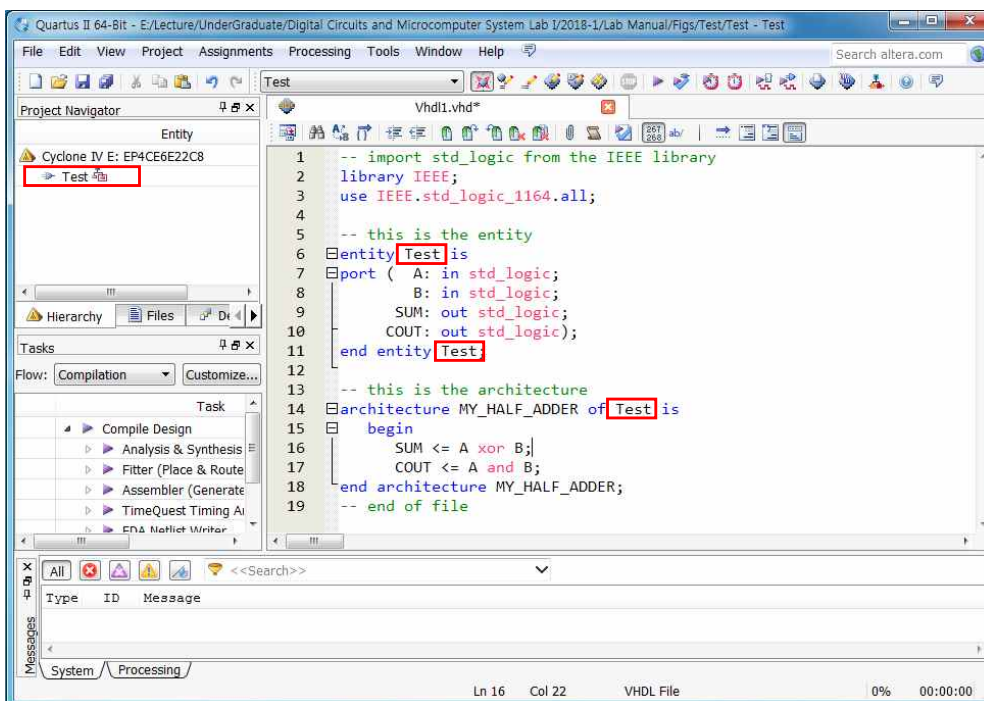
- 'Design file'의 종류는 다양하나 본 실험에서는 'VHDL(VHSIC Hardware Description Language)'을 사용할 것이므로 'VHDL File'을 선택한다.



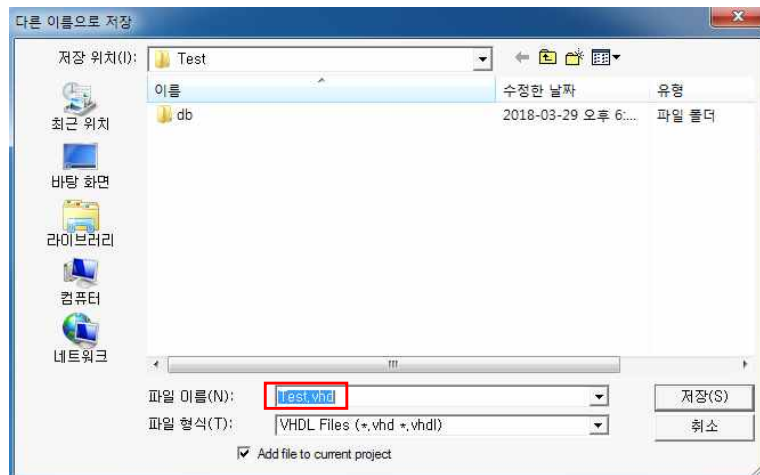
- 새롭게 만들어진 design file은 text editor형식으로 만들어진다.



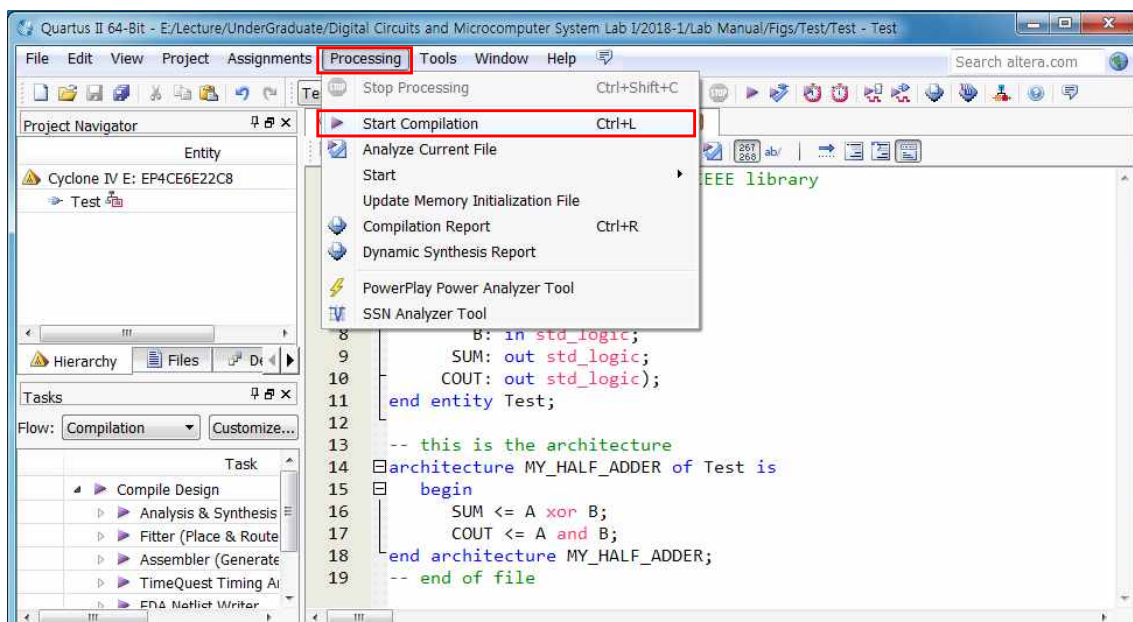
- 아래 그림은 'Half Adder'의 예시이다. 붉은색 사각형으로 강조된 부분을 확인하면 'Test'로 되어 있으며, 이를 'entity name'이라 한다.
- 'New Project Wizard'에서 설정하였던 'top-level entity'와 관련이 있으며, project에 포함된 design file 중 하나는 반드시 'top-level entity'와 동일한 'entity name'이어야 한다.



- Design file을 소자로 넘겨주기 위해서는 compile을 하여야 하며, 이를 위해서는 design file을 저장하여 project에 포함되어야 한다. 저장되는 design file의 이름은 반드시 'entity name'과 일치하여야 한다.

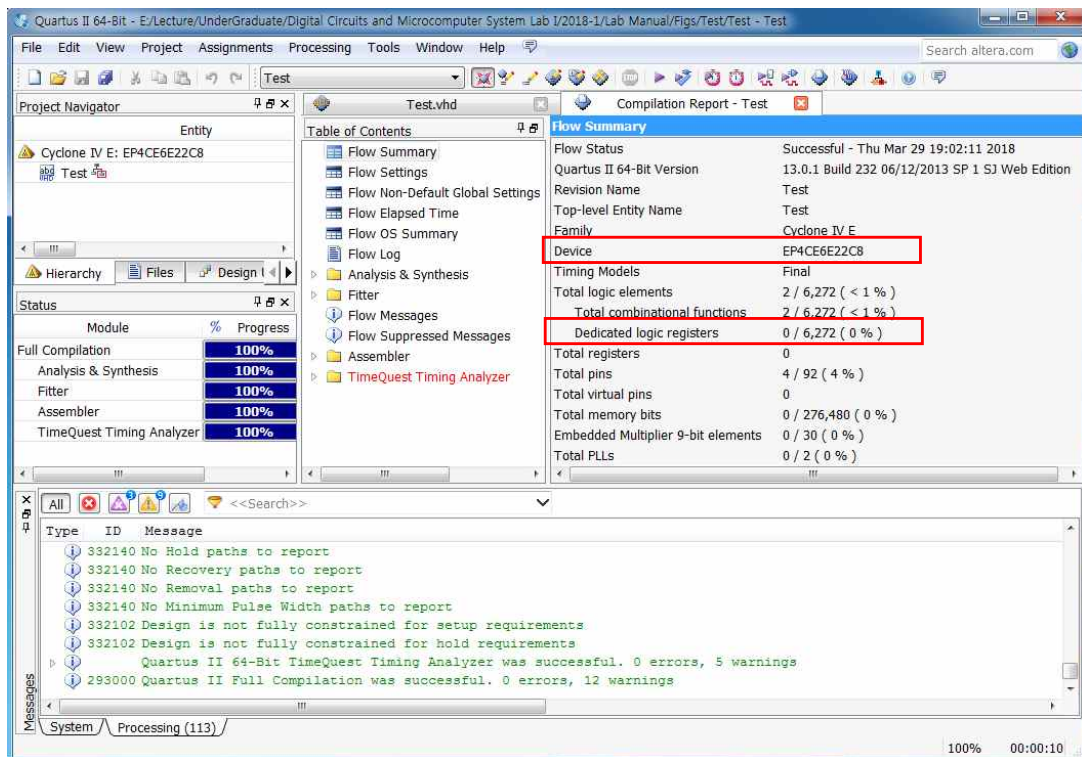


- Compile 하기 위해 'Processing -> Start Compilation'을 실행시키거나, 단축 tool bar의 'Start Compilation'아이콘을 사용한다.





- Compile이 진행되며 그 진행 정도를 'Task'에 나타낸다. 각 단계별로 진행이 되며, 문제가 발생할 경우 error를 출력하며 멈추게 된다. 위 이미지의 상단의 'Task'는 compile이 진행 중인 상태이며, 하단의 'Task'는 compile이 완료된 상태이다.
- 'Flow Summary'의 경우 compile결과를 요약하여 보여준다. 특히 신경을 써야 하는 부분은 붉은 네모 박스 안의 내용으로 소자의 자원을 얼마나 사용하였는지를 나타낸다. 두 자원 중 하나라도 100%가 넘을 경우 해당 소자의 사용은 불가능하며, 다른 소자로 대체하거나 design file의 내용을 줄어야 한다.



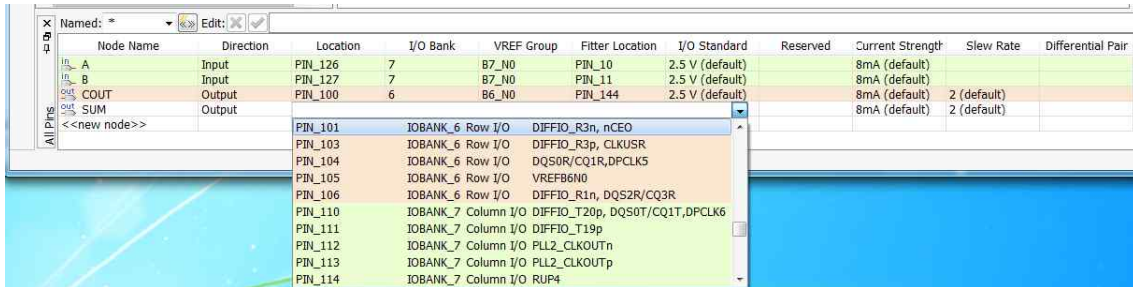


- 본 예제에서는 두 개의 입력 신호 A와 B 및 두 개의 출력 신호 SUM과 COUT에 해당하는 Pin을 할당해 주어야 한다.
- 본 예제에서 사용하는 실험용 FPGA 보드에는 입력 신호를 쉽게 공급하기 위해 10개의 슬라이드 스위치가 마련되어 있으며, 또한 출력 신호의 상태를 나타내기 위해 10개의 LED가 마련되어 있다. 이들 입출력 장치에 할당된 핀은 아래와 같다.

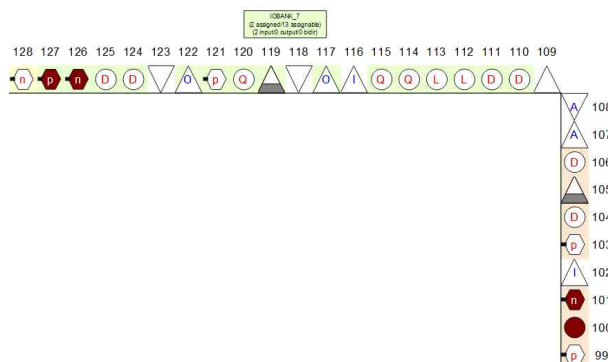
BANK	I/O	기능
B7	I/O 126	SW 0
B7	I/O 127	SW 1
B8	I/O 128	SW 2
B8	I/O 129	SW 3
B8	I/O 132	SW 4
B8	I/O 133	SW 5
B8	I/O 135	SW 6
B8	I/O 136	SW 7
B8	I/O 137	SW 8
B8	I/O 138	SW 9

BANK	I/O	기능
B6	I/O 100	LED 0
B6	I/O 101	LED 1
B6	I/O 103	LED 2
B6	I/O 104	LED 3
B6	I/O 105	LED 4
B6	I/O 106	LED 5
B7	I/O 110	LED 6
B7	I/O 111	LED 7
B7	I/O 112	LED 8
B7	I/O 113	LED 9

- 본 예제에서는 SW\_0(I/O 126)를 A 입력, SW\_1(I/O 127)을 B 입력, LED\_0(I/O 100)을 SUM 출력, LED\_1(I/O 101)을 COUT 출력에 할당한다.

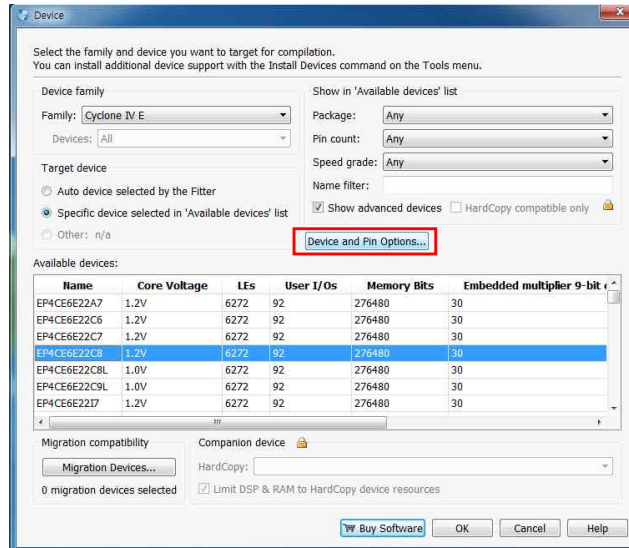


- 'Node Name'은 entity에서 정의한 PORT를 의미한다. 'Location'을 클릭하여 'PIN'을 지정해 줄 수 있으며, 지정이 된 'PIN'은 흰색에서 적갈색으로 색이 바뀌며, 사용할 'PIN'의 지정이 끝나면 'Pin Planner' 창을 닫는다.



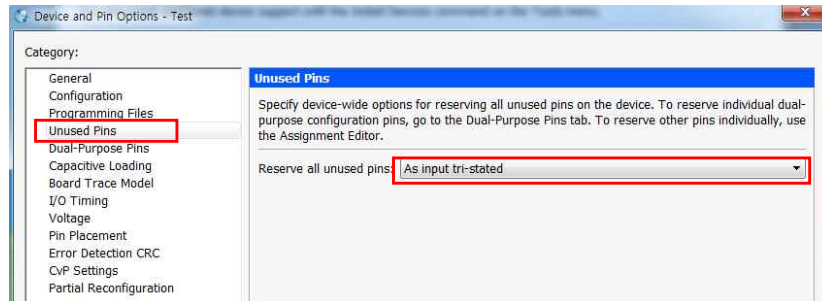
[실험용 FPGA 보드의 설계에 따른 추가 절차 - Pin Option 설정]

1. 'Assignment' - 'Device' 설정에서 'Device and Pin Option...'을 클릭.



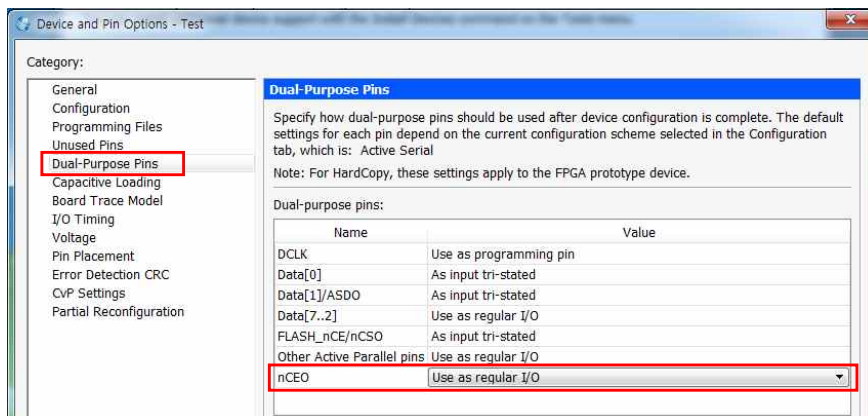
2. 'Category' 항목에서 'Unused Pins' 항목을 선택.

'Reserve all unused pins'에서 'As input tri-stated'를 선택.



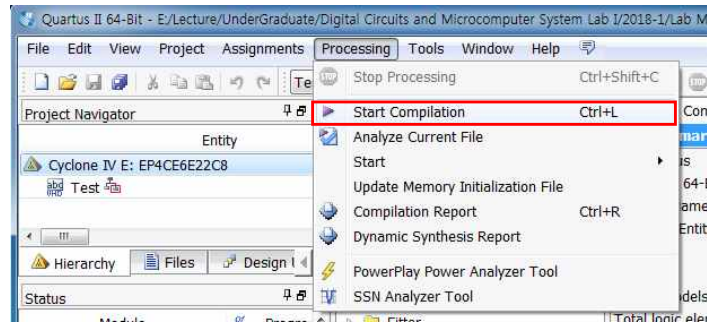
3. 'Category' 항목에서 'Dual-Purpose Pins' 항목을 선택.

'nCEO'에서 'Use as regular I/O' 항목을 선택.

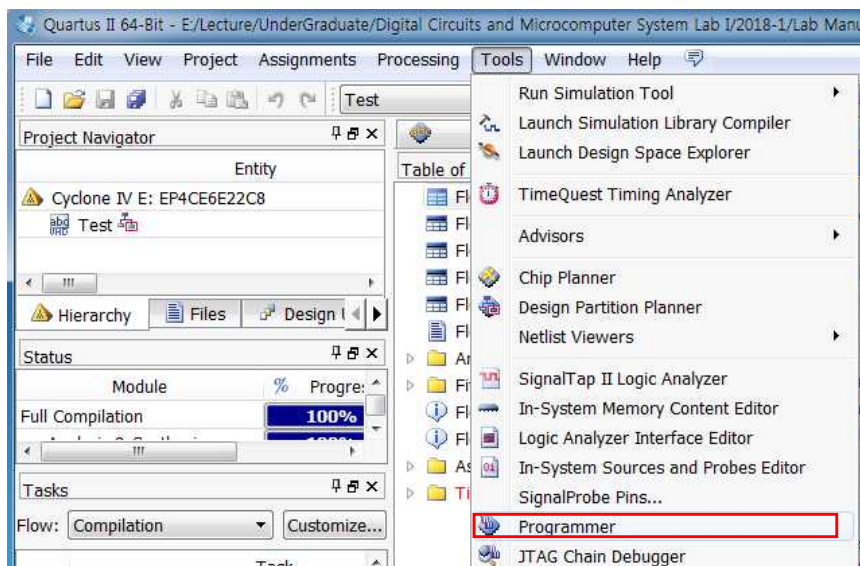


4. 'OK'를 눌러 완료.

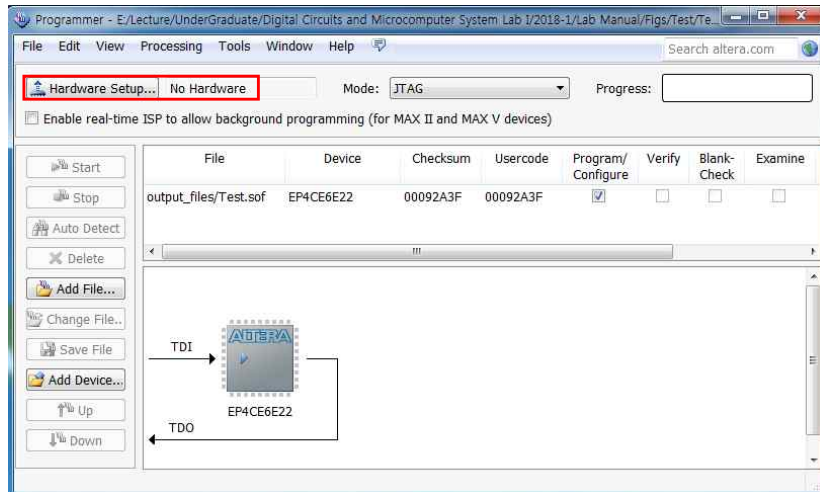
- Pin 할당 후 다시 Compile 및 FPGA 프로그래밍



- Compile이 완료되면 'Tool -> Programmer'를 선택하거나 단축 tool bar의 'Programmer'를 실행시킨다.



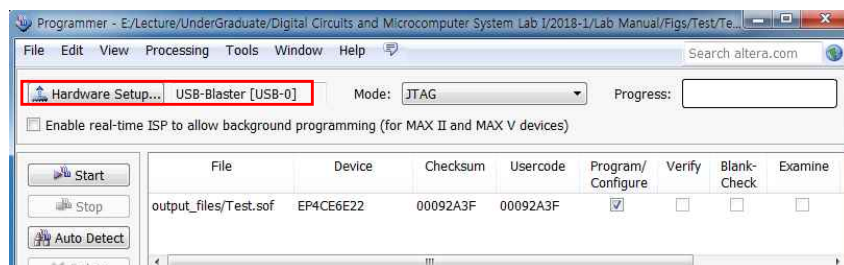
- 아래의 그림은 실행된 'Programmer'의 화면으로 사용 소자의 이름과 선택 가능한 옵션이 체크박스 형태로 되어 있다.
- 만일 아래 그림에 표시된 바와 같이 'No Hardware' 상태로 표시되면 USB-Blaster나 FPGA Board가 연결되지 않은 것이므로
  - 1) 이들을 연결해 주고
  - 2) FPGA Board에 있는 전원 스위치를 ON 시킨 후,
  - 3) 'Hardware Setup' 버튼을 클릭하여 'USB-Blaster'를 연결시켜 주어야 한다.



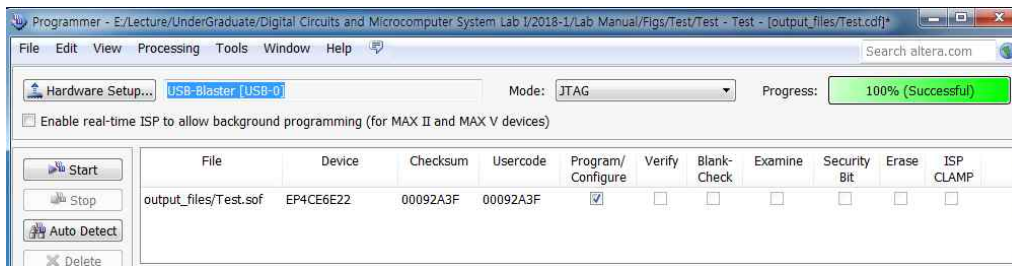
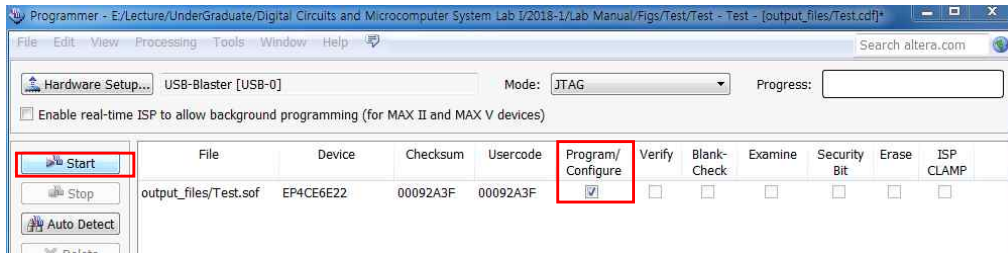
- 'Hardware Setup'에서 붉은 네모 박스 안을 클릭하면 연결된 'Device'들이 나타나며, 그 중 사용할 것을 선택하면 된다. 본 예시에서는 'USB-Blaster [USB-0]'을 선택한다.



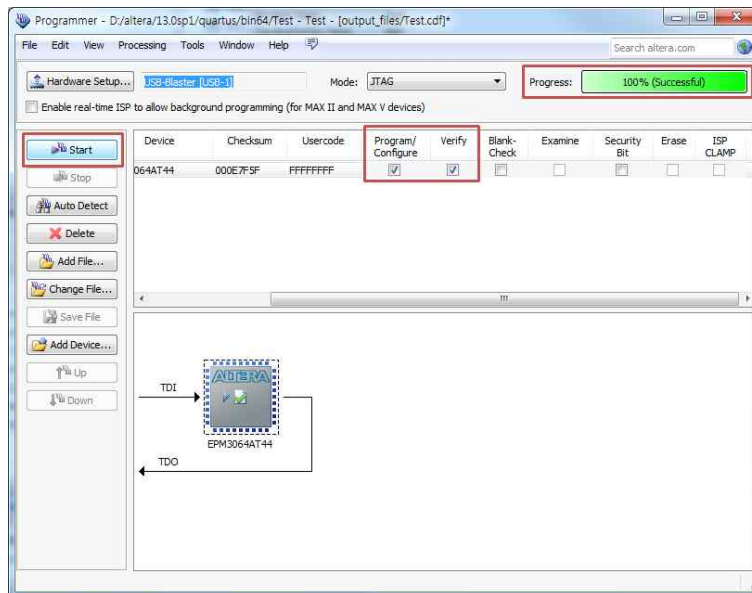
- 'No Hardware'에서 'USB-Blaster[USB-0]'으로 바뀐 것을 확인할 수 있다.



- 'Program/Configure' 체크 박스가 선택된 것을 확인한 후, 'Start' 버튼을 눌러 FPGA 소자를 프로그램 한다.



- 'Progress'에서 '100%(Successful)'이 나타난다면 성공적으로 프로그램 한 것이다.



- 입력 신호 A와 B에 해당하는 스위치를 조작하여 FPGA에 입력을 주었을 때, 각 입력에 해당하는 출력이 LED에 출력되는지 확인한다.

- Half-Adder에 대한 VHDL 코드 예제.

```
-- import std_logic from the IEEE library
library IEEE;
use IEEE.std_logic_1164.all;

-- this is the entity
entity Test is
port ( A:    in std_logic;
       B:    in std_logic;
       SUM:  out std_logic;
       COUT: out std_logic);
end entity Test;

-- this is the architecture
architecture MY_HALF_ADDER of Test is
begin
    SUM <= A xor B;
    COUT <= A and B;
end architecture MY_HALF_ADDER;
-- end of file
```